

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG(19) Weltorganisation für geistiges Eigentum
Internationales Büro(43) Internationales Veröffentlichungsdatum
2. Oktober 2003 (02.10.2003)

PCT

(10) Internationale Veröffentlichungsnummer
WO 03/081671 A2

(51) Internationale Patentklassifikation: H01L 27/00

(21) Internationales Aktenzeichen: PCT/DE03/00843

(22) Internationales Anmeldedatum:
14. März 2003 (14.03.2003)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
102 12 640.2 21. März 2002 (21.03.2002) DE(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): SIEMENS AKTIENGESellschaft [DE/DE];
Wittelsbacherplatz 2, 80333 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): FICKER, Jürgen
[DE/DE]; Hans-Geiger-Strasse 28, 91052 Erlangen (DE).FIX, Walter [DE/DE]; Mühlstrasse 20 A, 90762 Fürth
(DE). ULLMANN, Andreas [DE/DE]; Kronstädter
Strasse 16a, 90765 Fürth (DE).(74) Gemeinsamer Vertreter: SIEMENS AKTIENGE-
SELLSCHAFT; Postfach 22 16 34, 80506 München
(DE).

(81) Bestimmungsstaaten (national): CN, JP, US.

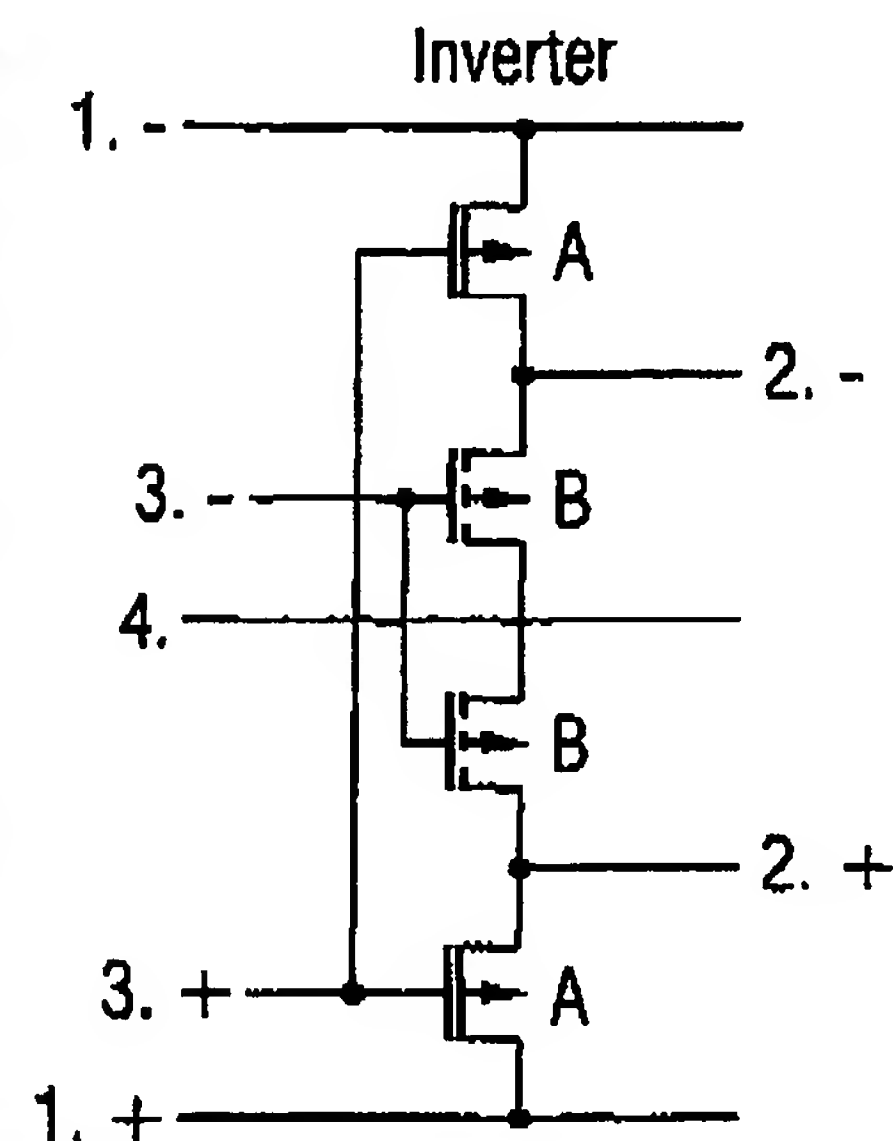
(84) Bestimmungsstaaten (regional): europäisches Patent (AT,
BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR,
HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

Veröffentlicht:

— ohne internationalen Recherchenbericht und erneut zu ver-
öffentlichen nach Erhalt des BerichtsZur Erklärung der Zweibuchstaben-Codes und der anderen Ab-
kürzungen wird auf die Erklärungen ("Guidance Notes on Co-
des and Abbreviations") am Anfang jeder regulären Ausgabe der
PCT-Gazette verwiesen.

(54) Title: LOGIC COMPONENTS FROM ORGANIC FIELD EFFECT TRANSISTORS

(54) Bezeichnung: LOGISCHE BAUTEILE AUS ORGANISCHEN FELD-EFFEKT-TRANSISTOREN

(57) Abstract: The invention makes it possible to produce for the first time fast
logical gates based on organic field effect transistors, albeit using conventional
p-Mos technology. This is due to the early saturation effect of OFETs with thin
semiconductor layers, to OFETs with special properties for organic logic com-
ponents and to a novel circuit logic layout of said logic components.(57) Zusammenfassung: Mit Hilfe der Erfindung lassen sich erstmals schnelle
logische Gatter, die auf organischen Feldeffekt-Transistoren aufbauen, trotz kon-
ventioneller p-Mos-Technik herstellen. Dies ist zum einen auf den Frühsätti-
gungseffekt von OFETs mit sehr dünnen Halbleiterschichten zurückzuführen,
zum anderen auf OFETs mit speziellen Eigenschaften für organische Logikbaue-
lemente und in einem neuen schaltungstechnischen Layout dieser Logikbaue-
lemente.

BEST AVAILABLE COPY

WO 03/081671

PCT/DE03/00843

1

Beschreibung

Logische Bauteile aus organischen Feldeffekttransistoren

- 5 Die Erfindung betrifft logische Bauteile aus organischen Feldeffekttransistoren, bei denen die Schaltgeschwindigkeit durch Ersatz der Widerstände erhöht wird.

- 10 Logische Gatter wie beispielsweise NAND, NOR oder Inverter sind die elementaren Bestandteile einer integrierten digitalen elektronischen Schaltung. Die Schaltgeschwindigkeit der integrierten Schaltung hängt dabei von der Geschwindigkeit der logischen Gatter und nicht von der Geschwindigkeit der einzelnen Transistoren ab. In der herkömmlichen Silizium-
- 15 Halbleitertechnologie werden diese Gatter durch Verwendung von sowohl n- als auch p-leitenden Transistoren realisiert und sind dadurch sehr schnell. Bei organischen Schaltungen ist das nicht realisierbar, weil es keine ausreichend stabilen n-Halbleiter gibt. Für organische Schaltungen bedeutet
- 20 das, dass ein herkömmlicher Widerstand anstelle des n-leitenden Transistors eingesetzt wird.

- Nachteilig an diesen logischen Gattern mit organischen Feldeffekt-Transistoren ist, dass sie entweder langsam umschalten
- 25 (wenn die Umladeströme, also die Integrale unter der Strom-Spannungskurve sehr verschieden sind) oder sich nicht ausschalten lassen (wenn der Spannungshub im Strom-Spannungs-Diagramm) zu gering ist.

- 30 Aufgabe der Erfindung ist es daher, ein logisches Gatter mit organischen Feldeffekt-Transistoren zu schaffen, bei dem die fehlenden "klassischen" n-leitenden Transistoren durch anderes als klassische Widerstände ersetzt sind.

- 35 Gegenstand der Erfindung ist ein logisches Gatter, zumindest einen ersten und einen zweiten organischen Feldeffekt-Transistor (OFET) umfassend, wobei der erste OFET ein p-leitender

WO 03/081671

PCT/DE03/00843

2

OFET ist und der zweite OFET im logischen Gatter als Widerstand eingesetzt werden kann.

5 Nach einer Ausführungsform hat der erste OFET eine extrem dünne Halbleiterschicht oder eine negative Schwellspannung hat.

10 Nach einer anderen Ausführungsform umfasst das logische Gatter einen ersten und einen zweiten OFET mit einer extrem dünnen Halbleiterschicht oder einer negativen Schwellspannung.

15 Nach einer weiteren Ausführungsform hat im logischen Gatter der zweite OFET ohne Gate-Spannung Off-Ströme, die nur um etwa eine Größenordnung unter den On-Strömen liegen, so dass sich der zweite OFET durch Anlegen einer positiven Gate-Spannung weiter ausschalten lässt.

20 Nach einer Ausführungsform umfasst das logische Gatter mindestens 4 OFETs (vgl. Figur 6).

Nach einer Ausführungsform hat das logische Gatter 2 Datenleitungen (Eingang und Ausgang), wobei diese Datenleitungen auf unterschiedlichen Potentialen liegen.

25

Als "OFET, der im Gatter als Widerstand eingesetzt werden kann", wird hier entweder ein OFET bezeichnet, der eine extrem dünne organische Halbleiterschicht (ca. 5 bis 30 nm) hat oder ein OFET, bei dem die Leitfähigkeit der organischen Halbleiterschicht durch gezielte Behandlung (beispielsweise Hydrazin-Behandlung und/oder gezielte Oxidation) soweit erniedrigt wurde, dass die Off-Ströme nur um etwa eine Größenordnung unter den On-Strömen liegen.

35 Der „OFF Strom“ ist der Strom, der fließt, wenn an der Gate-Elektrode kein Potential gegen die Source Elektrode anliegt

WO 03/081671

PCT/DE03/00843

3

und der „ON Strom“ (für p OFETS) der Strom, der fließt, wenn ein negatives Potential gegen die Source Elektrode anliegt.

Als „klassischer Widerstand“ wird hier ein Bauelement mit einer linearen Strom-Spannungs-Kennlinie bezeichnet.

Im folgenden wird die Erfindung anhand von Figuren näher erläutert:

10 Beim Einsatz des klassischen Widerstands (vgl. Figuren 1 und 2, Stand der Technik) schalten die logischen Gatter entweder zu langsam um (Figur 1) oder lassen sich nicht ausschalten (Figur 2).

15 In Figur 1 sind in einem Strom-Spannungs-Diagramm die Ein-Kennlinie 1 und die Aus-Kennlinie 2 eingezeichnet. Diese Kennlinien entsprechen dem eingeschalteten und dem ausgeschalteten Zustand. Die Schnittpunkte 3 und 4 der Kurven mit der Widerstandslinie 5 entsprechen den Schaltpunkten des In-
20 verters. Der Ausgangs-Spannungshub 6 des Inverters ist sehr groß, was bedeutet, dass sich der Inverter gut ein- und ausschalten lässt. Allerdings sind die Umladeströme 7 und 8 (die schraffierten Flächen unter den Kurven entsprechen den Umladeströmen) unterschiedlich. Das bedeutet, dass sich der In-
25 verter schnell auf „High“ schalten lässt, aber langsam auf „Low“.

Die Figur 2 zeigt auch den Stand der Technik, den zweiten Fall, bei dem die Umladeströme 9 und 10 zwar in der Größen-
30 ordnung gleich groß sind aber der Spannungshub 11 zu gering ist. So lässt sich der entsprechende Inverter nicht ganz ausschalten.

Figur 3 schließlich zeigt eine Strom-Spannungskurve eines lo-
35 gischen Gatters nach der Erfindung:

WO 03/081671

PCT/DE03/00843

4

Das Strom-Spannungsdiagramm eines logischen Gatters wie in Figur 3 gezeigt, umfasst zumindest einen OFET mit einer extrem dünnen Halbleiterschicht als Ersatz für einen klassischen Widerstand.

5

Durch einen beobachteten, aber noch nicht vollständig erklär-
baren Effekt (sehr verfrühte Sättigung aufgrund einer sehr
dünnen HL-Schicht oder einer negativen Schwellspannung) haben
OFETs mit extrem dünnen Halbleiterschichten von 5 bis 30 nm,
10 bevorzugt von 7 bis 25 nm und insbesondere bevorzugt von 10
bis 20 nm ein spezielles Ausgangskennlinienfeld, das in Figur
3 schematisch gezeigt ist.

Der Spannungshub 12 ist groß genug, damit der Inverter auch
15 ganz ausgeschaltet werden kann und die Umladeströme 13 und 14
sind gleich groß, wodurch der Inverter schnell umschalten
kann. Ein weiterer Vorteil ist der Betrag des Umladestroms,
der bei dieser Art Transistor sehr hoch ist. Durch die dünnen
Halbleiterschichten gehen die Transistoren von der Anstiegs-
20 flanke 15 sehr steil in den Sättigungsbereich 16 über. Durch
dieses Verhalten der Ausgangskennlinie lassen sich in konven-
tioneller p-Mos-Technik logische Schaltungen aufbauen, die
große Aufladespannungen haben. Dadurch wird die Schaltge-
schwindigkeit der Bauteile hoch. Inhalt der Erfindung ist es,
25 diesen Effekt für die Herstellung von schnellen logischen
Gattern zu verwenden. Diese Gatter sind schnell und lassen
sich gleichzeitig gut ausschalten, trotz konventioneller p-
Mos-Technik.

30 Der Ersatz des klassischen Widerstands kann alternativ auch
durch eine spezielle Behandlung der Halbleiterschicht eines
OFETs und ein spezielles Schaltungslayout für die Logikbau-
elemente vollzogen werden.

35 Typische OFETs haben ohne Gate-Spannung sehr niedrige Off-
Ströme. Durch eine gezielte Behandlung des organischen Halb-
leiters kann erreicht werden, dass die Off-Ströme nur um etwa

WO 03/081671

PCT/DE03/00843

5

eine Größenordnung unter den On-Strömen liegen (z.B. durch Hydrazin-Behandlung oder durch gezielte Oxidation). Diese speziellen OFETs lassen sich dann durch Anlegen einer positiven Gate-Spannung weiter ausschalten. Damit hat man einen

5 OFET, der durch eine negative Gate-Spannung ein- und durch eine positive Gate-Spannung ausgeschaltet werden kann (wie ein n-leitender Transistor). Dieser Effekt wird auch (neben dem oben erwähnten Effekt der extrem dünnen Halbleiterschichten) erfindungsgemäß genutzt, um schnelle logische Bauelemente herzustellen. Basiselement dieser logischen Bauelemente

10 ist eine Reihenschaltung aus zumindest zwei OFETs mit unterschiedlichen Abmessungen des Stromkanals und zwar in der Weise, dass ohne Gate-Spannung der Stromkanal eines OFETs deutlich leitfähiger ist als der des anderen. Das hat zur Folge,

15 dass die Versorgungsspannung über den beiden Stromkanälen nur an dem schlechter leitenden Stromkanal abfällt.

Der Umschaltvorgang geschieht durch Anlegen einer negativen Gate-Spannung an den OFET mit dem schlechter leitfähigen

20 Stromkanal und gleichzeitigem Anlegen einer positiven Gate-Spannung an den OFET mit dem besser leitfähigen Stromkanal.

Figur 5 zeigt das Strom-Spannungs-Diagramm eines solchen logischen Gatters. Durch das spezielle Schaltungs-Layout oder

25 durch das spezielle Schaltungs-Layout in Kombination mit einer Behandlung der Halbleiterschicht werden beide Kennlinien verschoben, was einen hohen Spannungshub und gleichzeitig hohe Umladeströme zur Folge hat. Ein Inverter besteht aus zwei dieser Basiselemente, also aus zumindest vier Transistoren.

30 Beim Umschaltvorgang des Inverters werden jeweils zwei Transistoren ein- und gleichzeitig die beiden anderen ausgeschaltet.

Im Folgenden wird die Erfindung anhand einiger Ausführungs-

35 beispiele erläutert:

WO 03/081671

PCT/DE03/00843

6

Zunächst zwei Ausführungsbeispiele zu dem Strom-Spannungs-Diagramm aus Figur 5:

In Figur 6 wird die Schaltung eines Inverters und in der Figur 7 die Schaltung eines Ringoszillators gezeigt. Um logikfähige Bauteile zu erhalten, benötigt man 2 mal 2 Transistoren, denn es wird eine positive Spannung benötigt, um einen Transistor auszuschalten und gleichzeitig eine negative Spannung um den anderen einzuschalten. Um diese unterschiedlichen Spannungen zu erhalten werden nun 2 der oben genannten Basiselemente zusammengeschlossen, wobei eines eine positive Spannung am Ausgang bereit stellt und das andere eine negative. Ein Inverter mit dieser neuen Schaltungstechnik hat somit 2 Ein- und Ausgänge, wobei an diesen Ausgängen jeweils 0V oder +/-V anliegen.

Figur 6 zeigt die Ausführungsform Inverter: Die Verschaltung ist hierbei ein wichtiger Punkt. An dem Punkt 1. liegt die Versorgungsspannung, die hier +/-V ist. Punkt 4. ist die Erdung die mit 3 gekennzeichneten Punkte symbolisieren die Eingänge und die mit 2 gekennzeichneten Punkte die Ausgänge des Inverters. Die logische "low" ist erreicht, wenn auf den Ausgängen 2 keine Spannung anliegt. Logisch "high" bedeutet, dass auf dem Ausgang 2 des Inverters +/-V anliegen, das heißt, dass die Datenleitung 2 Leitungen, die auf unterschiedlichen Potentialen liegen, umfasst.

Zwar verwenden C-MOS einen Eingang, der aufgespaltet wird, allerdings ist die Spannung nach dem Aufspalten gleich.

Im Gegensatz zu dem oben beschriebenen Inverter, der zumindest 4 OFETs umfasst, besteht beispielsweise ein herkömmlicher CMOS Inverter aus 2 Transistoren. Bei 0V auf den Eingang, ist Transistor 1 leitfähig und der andere 2 nichtleitfähig (Somit fällt die Versorgungsspannung an 2 ab). Bei negativer Spannung wird nun 1 nichtleitfähig und der andere 2 leitfähig (Somit liegt die Versorgungsspannung an 1).

WO 03/081671

PCT/DE03/00843

7

Figur 7 zeigt einen Ringoszillator. Für diese Schaltung werden eine ungerade Zahl von Invertern zusammengeschaltet, indem man den Ausgang auf den Eingang des nächsten Inverters
5 legt. Der letzte Inverter wird dann ebenso mit dem ersten Inverter verbunden und so entsteht ein Ring. Der Zweck eines Ringoszillators ist es durch ständiges Umschalten des folgenden Inverters das Signal im Ring umlaufen zu lassen.

10 In Figur 4 sind einige Ausführungsbeispiele zu den logische Bauteile, die OFETs mit den extrem dünnen Halbleiterschichten umfassen, gezeigt:

Inverter 22, Nicht-Oder 23 Nicht-Und 24 Ringoszillator 25.
Das Schaltzeichen 21 symbolisiert einen p-leitenden OFET.

15

Ein Inverter 22 kann eine Zusammenschaltung eines Transistors mit einem Widerstand sein. Ein an den Eingang angelegtes Signal ("High" oder "Low") wird dabei umgedreht (invertiert) und liegt danach am Ausgang an (als "Low" oder "High"). Um ein
20 logische Nicht-Oder zu erhalten können zwei Transistoren parallel geschaltet werden. Die Zustände werden durch Anlegen einer Eingangsspannung gemäß der Tabelle ("Low" = "0"; "High" = "1") zum Ausgang weitergeleitet. Analog funktioniert ein Nicht-Und, welches durch in Reihe geschaltete Transistoren
25 realisiert werden kann.

Eine nicht gezeigte Ausführungsform des logischen Gatters ist z.B. ein Flip-Flop, der auch aus diesen OFETs aufgebaut sein könnte.

30

Vorteilhafterweise werden die logischen Gatter durch Besprühen, Beschichten, Rakeln, Bedrucken oder sonstige Herstellungsverfahren, die als kontinuierlicher Prozess gefahren werden können, herstellen.

35

Mit Hilfe der Erfindung lassen sich erstmals schnelle logische Gatter, die auf organischen Feldeffekt-Transistoren auf-

WO 03/081671

PCT/DE03/00843

8

bauen, trotz konventioneller p-Mos-Technik herstellen. Dies ist zum einen auf den Frühsättigungseffekt von OFETs mit sehr dünnen Halbleiterschichten zurückzuführen, zum anderen auf OFETs mit speziellen Eigenschaften für organische Logikbauelemente und in einem neuen schaltungstechnischen Layout dieser Logikbauelemente.

WO 03/081671

PCT/DE03/00843

9

Patentansprüche

1. Logisches Gatter, zumindest einen ersten und einen zweiten organischen Feldeffekt-Transistor (OFET) umfassend, wobei der
5 erste OFET ein p-leitender OFET ist und der zweite OFET im logischen Gatter als Widerstand eingesetzt werden kann.
2. Logisches Gatter nach Anspruch 1, bei dem der erste OFET eine extrem dünne Halbleiterschicht oder eine negative
10 Schwellspannung hat.
3. Logisches Gatter nach Anspruch 1, bei dem der erste und der zweite OFET eine extrem dünne Halbleiterschicht oder eine negative Schwellspannung hat.
15
4. Logisches Gatter nach einem der vorstehenden Ansprüche 1 oder 3, bei dem der zweite OFET ohne Gate-Spannung Off-Ströme hat, die nur um etwa eine Größenordnung unter den On-Strömen liegen, so dass sich der zweite OFET durch Anlegen einer po-
20 sitiven Gate-Spannung weiter ausschalten lässt.
5. Logisches Gatter nach einem der vorstehenden Ansprüche 1, 3 oder 4, das mindestens 4 OFETs umfasst.
- 25 6. Logisches Gatter nach einem der vorstehenden Ansprüche 1 oder 3 bis 5, mit 2 Datenleitungen (Eingang und Ausgang), wobei diese Datenleitungen auf unterschiedlichen Potentialen liegen.

WO 03/081671

PCT/DE03/00843

1/5

FIG 1

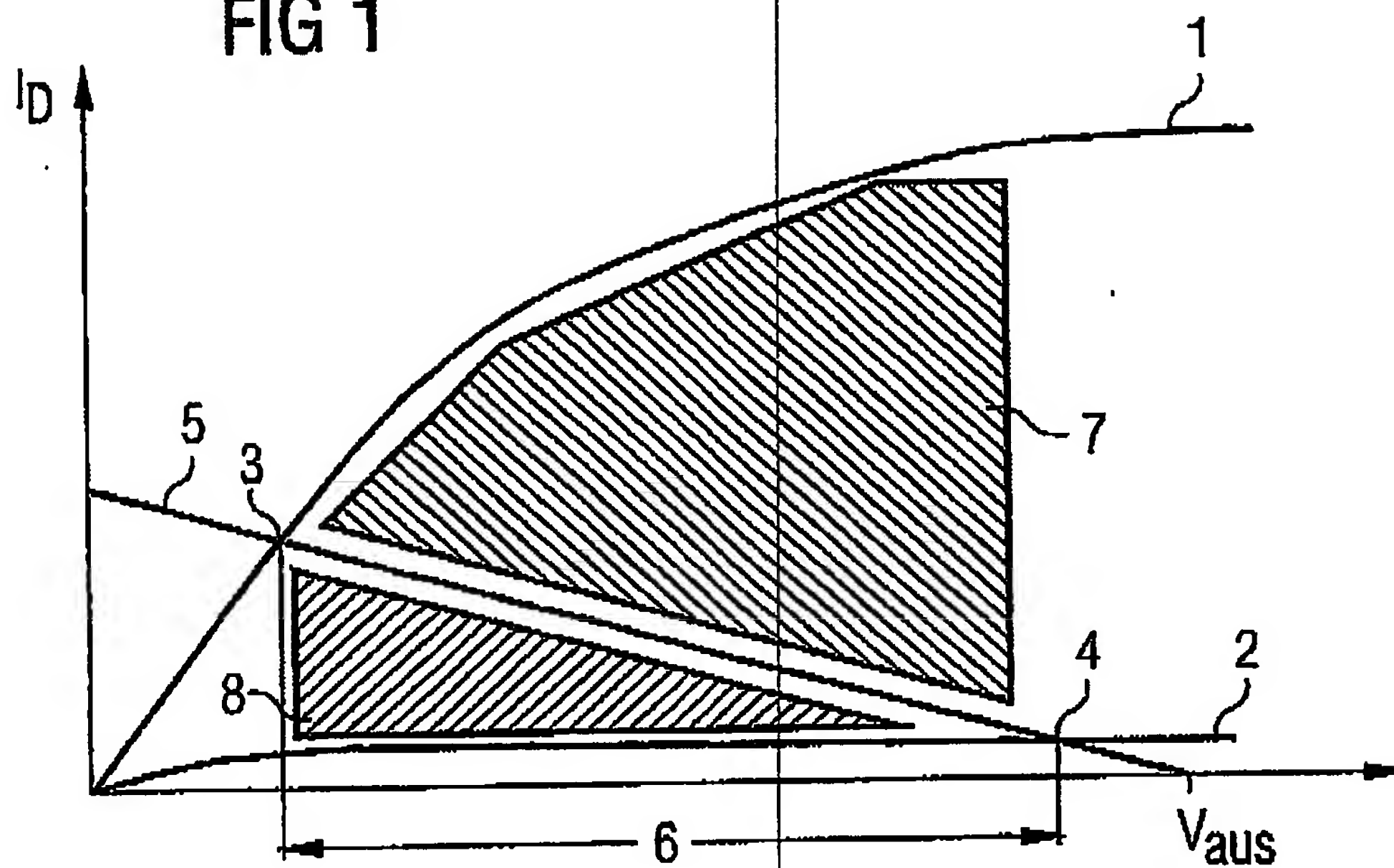
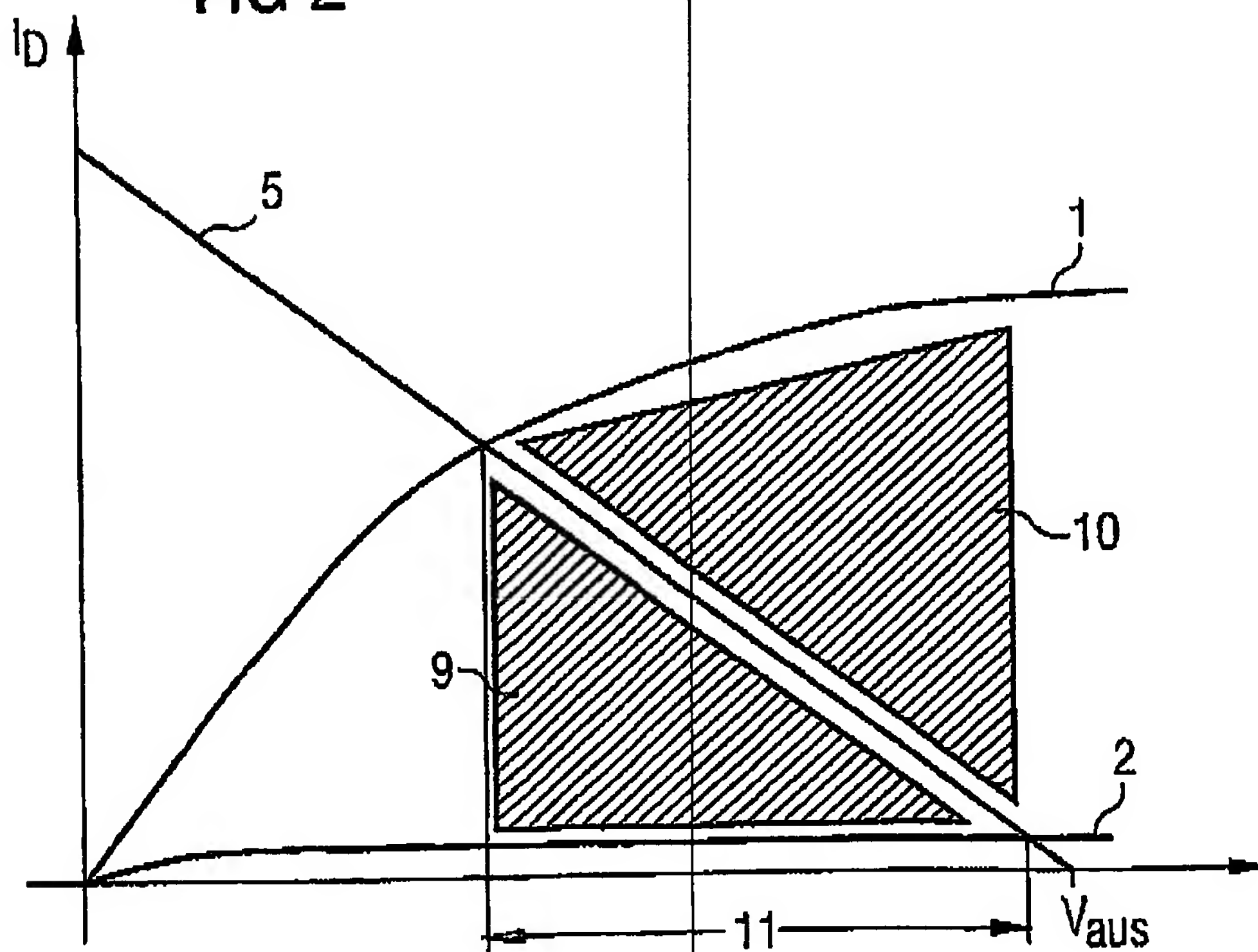


FIG 2

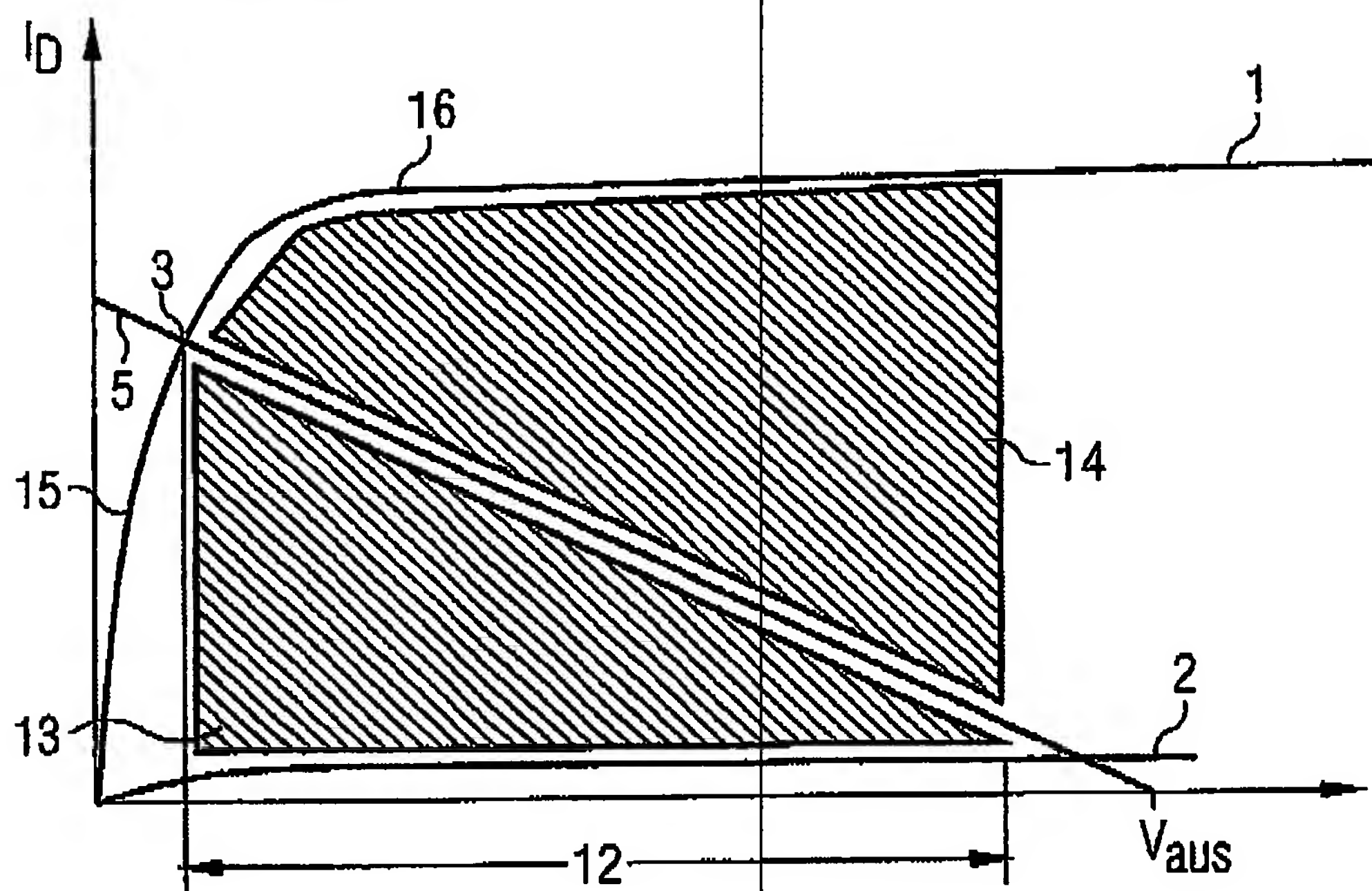


WO 03/081671

PCT/DE03/00843

2/5

FIG 3



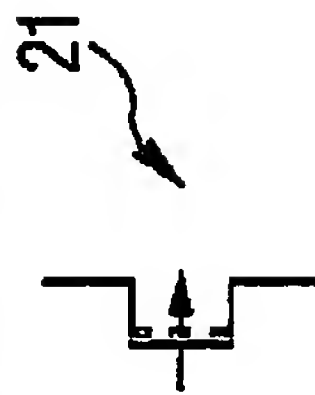
WO 03/081671

PCT/DE03/00843

3/5

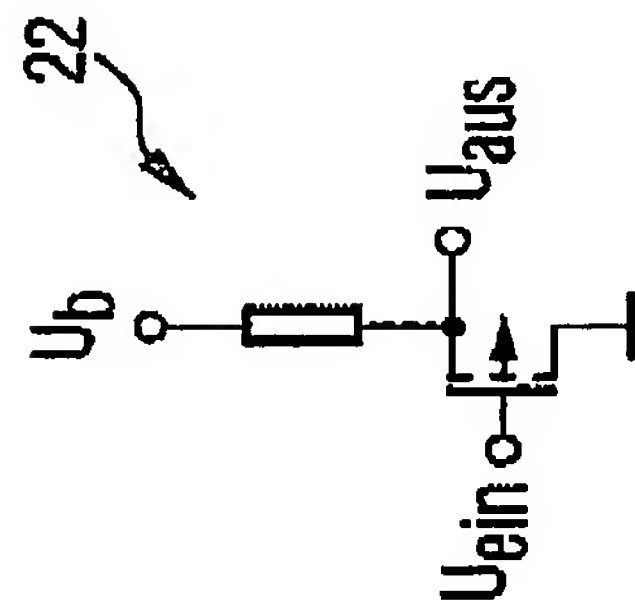
FIG 4

Schaltzeichen eines
p-Kanal OFETs

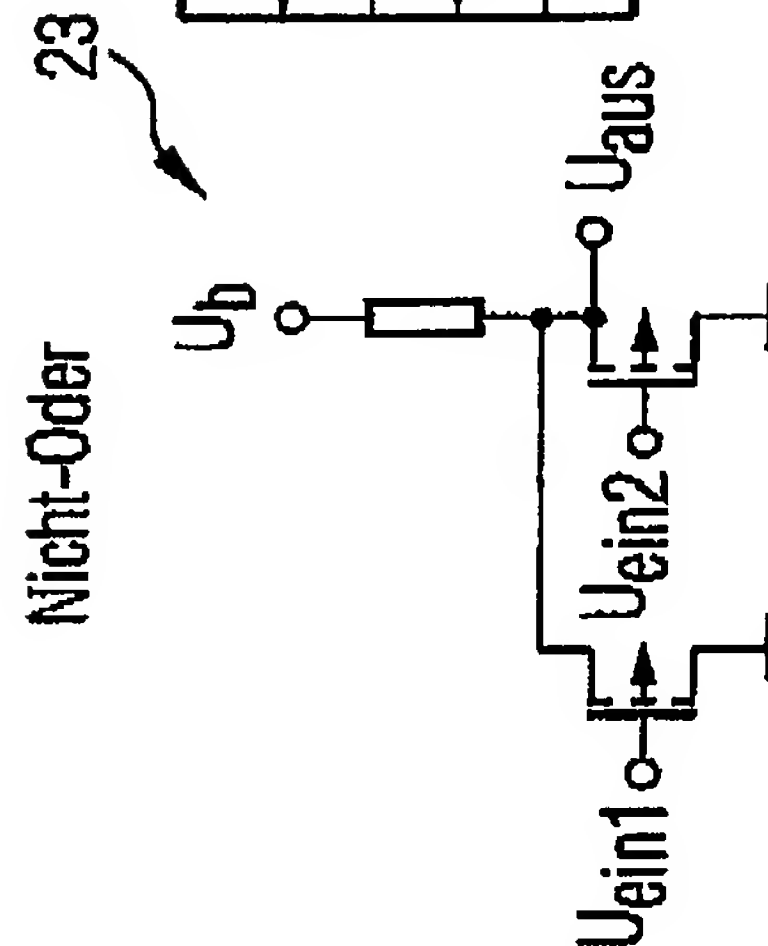


Ein- und Ausgangs-
spannung gegen Masse

Inverter



Nicht-Oder

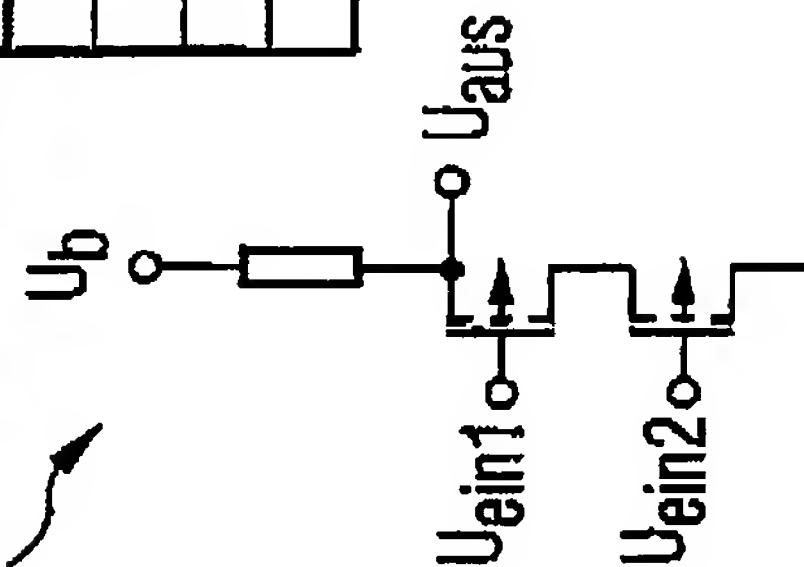


Ein1	Ein2	Aus
0	0	1
0	1	0
1	0	0
1	1	0

Nicht-Und

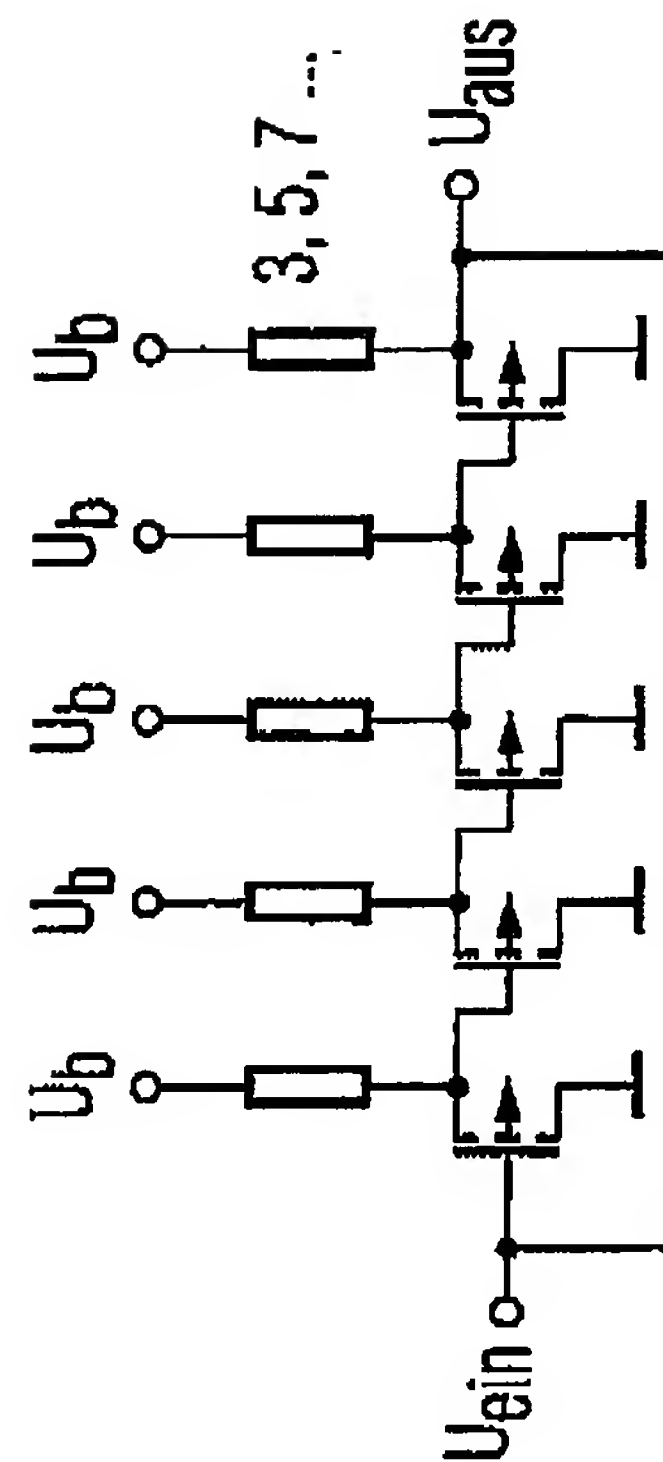
Ein1	Ein2	Aus
0	0	1
0	1	1
1	0	1
1	1	0

24



Ringoszillator

25



WO 03/081671

PCT/DE03/00843

4/5

FIG 5

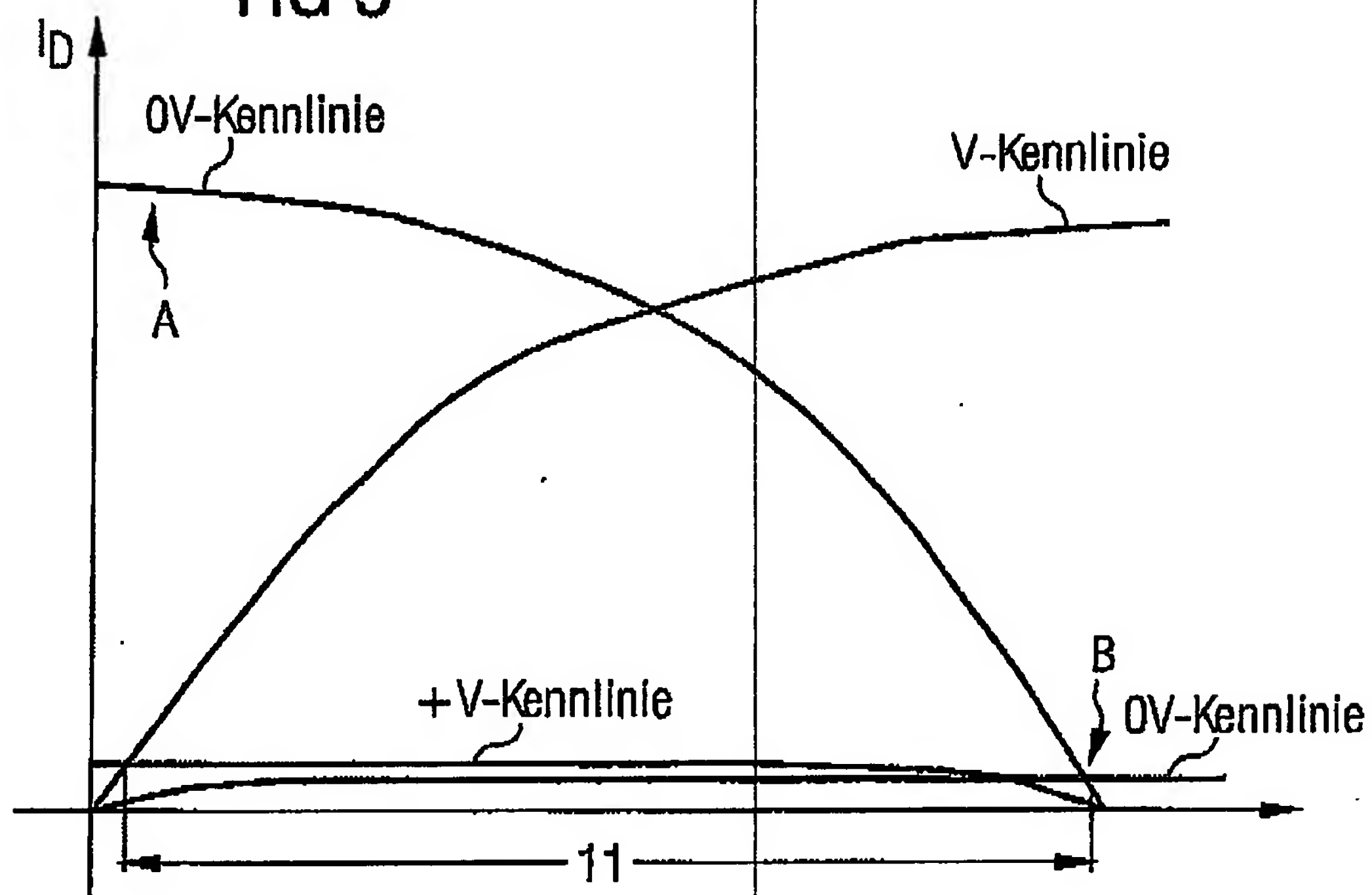
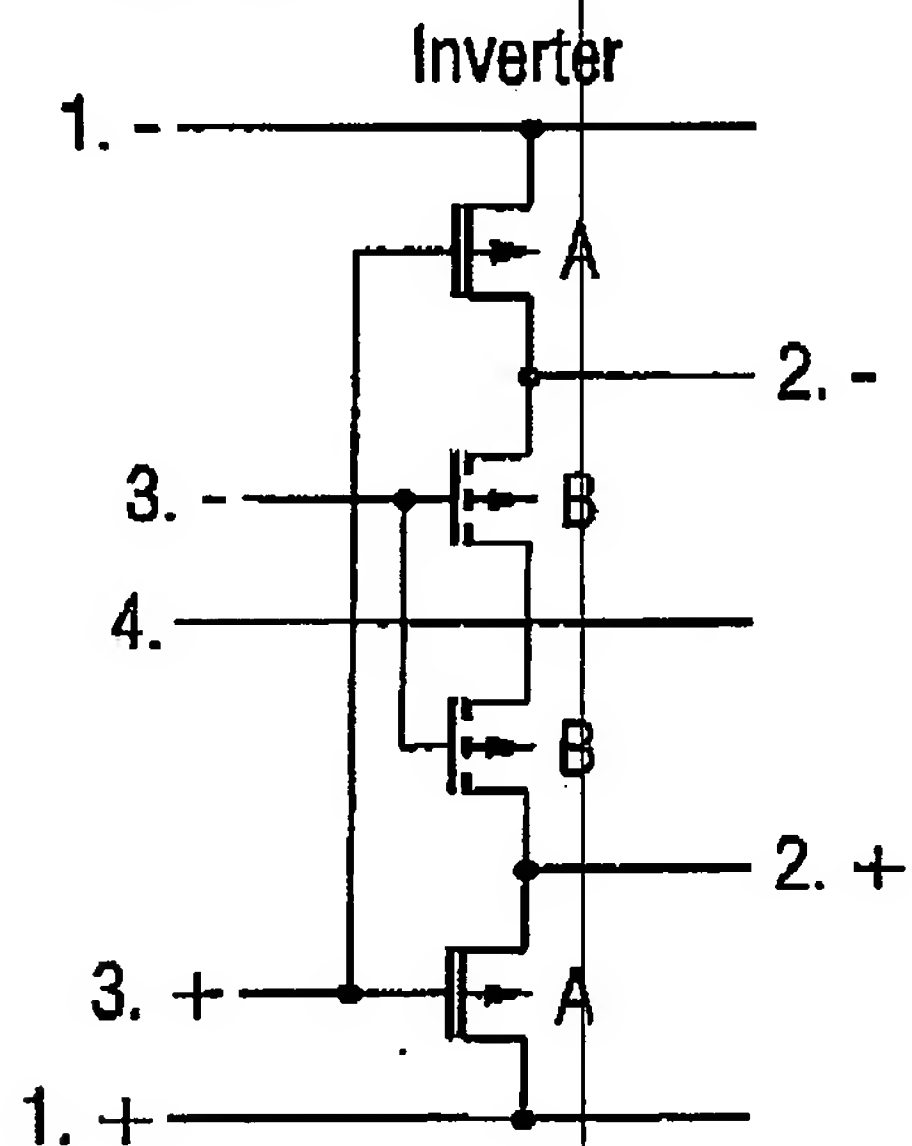


FIG 6



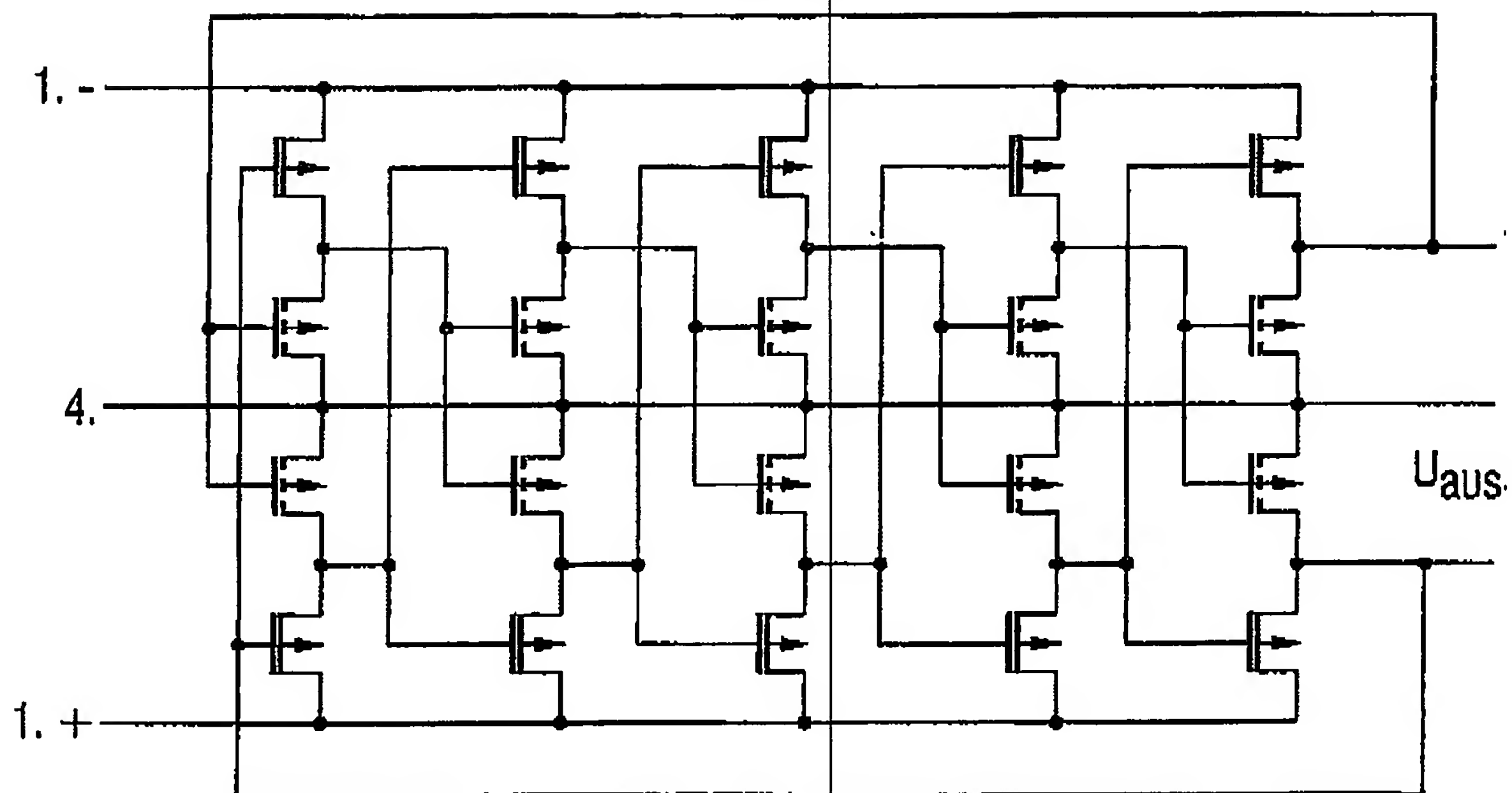
WO 03/081671

PCT/DE03/00843

5/5

FIG 7

Ringoszillator



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.